

HELIDA TECH DATA ACQUISITION BOARD (DAQ)

TOF-MS DATA BOARD

HLD-PCIe-A2T系列 数据采集卡

产品介绍

HLD-PCIe-A2T系列高速数据采集卡，是专为飞行时间
(TOF) 测量应用设计的板卡，该板卡具有如下特性：

- 1 支持AC/DC耦合、 50Ω / $1M\Omega$ 匹配、设置电压偏置
- 2 板卡带零点校正与标点校正（存储在EEPROM）
- 3 板卡具有频率校正（**校正后频率准确度<±40PPB**）
- 4 输入范围 $4Vpp/2Vpp/1Vpp/500mVpp @50\Omega$
- 5 输入范围 $\pm40V/\pm20V/\pm10V/\pm5V/\pm2.5V/\pm1.25V/\pm1V/\pm500mV/\pm250mV/\pm125mV @1M\Omega$
- 6 触发输入比较器阈值可配置0至2.5V（ 50Ω 匹配）
- 7 触发输入与数据的**同步精度可达64ps**
- 8 PCIe $\times 8$ Gen 3高速接口，板载8GB数据缓存
- 9 具有外部时钟输入、同步信号输入
- 10 多种工作模式可选（支持用户定制功能）
- 11 预留编码器接口、1000M网络接口、40G光纤接口

目前有如下型号：

型号	A2T2500M	A2T1000M	A2T1250M
通道数	2	2	2
采样率 (sps)	2.5G/1.25G	1G/500M	1.25G
带宽 (-3dB)	1.5GHz	800MHz	800MHz
分辨率	14 Bit	16 Bit	8 Bit



典型应用场景：

- 1 飞行时间测量 (TOF)
- 2 质谱仪 (TOF-MS)
- 3 激光雷达、射频雷达
- 4 数字化仪、光声成像
- 5 高分辨率医疗图像重建
- 6 快速脉冲检测和分析
- 7 粒子物理、量子物理实验
- 8 高端精密测量仪器

功能框图 (Hardware block diagram)

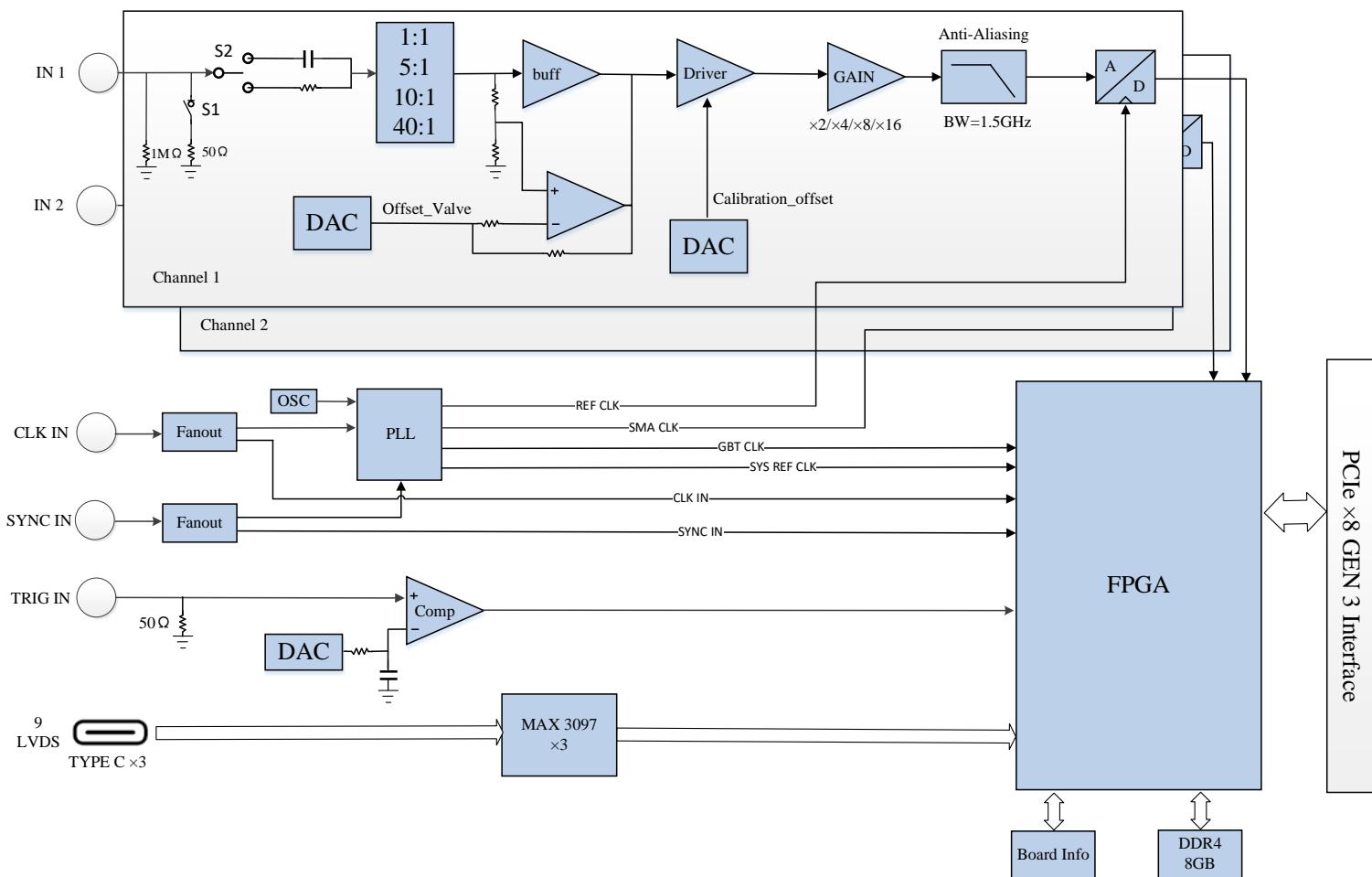


图2 电路架构示意图

软件与平台

操作系统	编程语言	支持软件
<ul style="list-style-type: none"> Windows10, 11 Linux kernel 3.10+ 	<ul style="list-style-type: none"> C, C++, C#, Python Java, VB, Delphi 	<ul style="list-style-type: none"> HLD-DAQ MATLAB LabView

参数说明 (Specifications)

参数		规格			备注
		A2T2500M	A2T1000M	A2T1250M	
模拟输入	最大采样率	2.5Gsps	1Gsps	1.25Gsps	
	分辨率	14 Bit	16 Bit	8 Bit	固定
	模拟带宽(-3dB)	1.5GHz	800MHz	800MHz	固定
	输入类型	单端			MCX 内孔
	输入阻抗	50Ω/1MΩ			程控选择
	耦合方式	AC/DC			程控选择
	输入范围	4Vpp/2Vpp/1Vpp/500mVpp			@50Ω 匹配
		±40V/ ±10V/ ±5V/ ±2.5V/ ±1.25V/ ±1V/ ±500mV/ ±250mV/ ±125mV			@1MΩ 匹配
	输入偏置	- 1.0V to + 1.0V @4Vpp @50Ω - 0.5V to + 0.5V @2Vpp@50Ω - 40V to + 40V @±40Vpp @1MΩ - 10V to + 10V @±10Vpp@1MΩ			程序配置
	串扰	>90dB	100dB	>90dB	
	信噪比 (SNR)	>65dBFS	>70dBFS	>50dBFS	$f_{in} = 10MHz$
		>62dBFS	>67dBFS	>50dBFS	$f_{in} = 155MHz$
		>60dBFS	>63dBFS	>50dBFS	$f_{in} = 900MHz$
	无杂散动态范围 (SFDR)	>80dBFS	>85dBFS	>65dBFS	@±2V Span
		>75dBFS	>80dBFS	>65dBFS	@±1 Span
		>70dBFS	>75dBFS	>65dBFS	@±500mV Span
		>65dBFS	>70dBFS	>65dBFS	@±250mV Span
	有效位宽 (ENOB)	10.6 Bits	11.3 Bits	8 Bits	$f_{in} = 10MHz$
		10.1 Bits	10.8 Bits	8 Bits	$f_{in} = 155MHz$
		9.8 Bits	10.2 Bits	8 Bits	$f_{in} = 900MHz$
	RMS 噪声	典型值 最大值	1.6mV 2.0mV	0.940mV 0.950mV	8.2mV 8.3mV
		典型值 最大值	1.2mV 1.6mV	0.630mV 0.640mV	4.1mV 4.2mV
		典型值 最大值	0.9mV 1.3mV	0.524mV 0.535mV	2.05mV 2.15mV

	典型值 最大值	0.6mV 0.9mV	0.495mV 0.510mV	1.05mV 1.15mV	500mVpp@50Ω		
触发 类型	外部触发	详见触发输入		TRIG IN			
	内部触发	内部信号源触发		TRIG OUT			
	数据触发	多种触发类型					
	自由采集	循环自由采集					
触发 输入 TRIG IN	输入类型	单端		MCX 内孔			
	输入标准	5V TTL		最大 5V			
	比较器阈值	0 至 3V		程序配置			
	触发条件	上升沿					
	触发与数据同步 精度	≤64ps		内部 TDC 同步			
采样	单次最大采样点 T	触发前+触发后 ≤ 8GB-64@单通道 触发前+触发后 ≤ 4GB-32@双通道		程序配置， 详见“工作模 式”			
	触发前样本最大 N	≤8191×16Bit/通道					
	触发后样本最大 M	≤ 8G-64@单通道 ≤ 4G-32@双通道					
时钟	时钟模式	内部 PLL, 外部参考输入					
	内部时钟精度	≤±20PPM (校准前)		100MHz VCXO			
		≤±40PPB (校准后)		1Hz 脉冲校准			
	外部输入类型	单端		MCX 内孔			
	外部输入范围	10MHz~400MHz		默认 100MHz			
同步 输入	耦合方式	直流 (50Ω)					
	同步信号输入类 型	单端		MCX 内孔			
	同步方式	脉冲同步					
传输 接口	信号类型	TTL					
	数据接口	PCIe×8 Gen 3					
	传输方式	DMA		边采集边传输			
功能	采集模式	预触发、延迟触发		支持客户定制			

	最大采集样本	< 4G×16 Bits/通道 < 2G×16 Bits/通道	1个通道 2个通道
	时间戳	相对时间	
其它	尺寸	1 个标准插槽	带散热风扇
	供电	PCIe	可选 6PIN

工作模式

1 顺序预触发模式（带时间戳）

在该模式下，用户设置好触发前采样点数（ N ）、触发后采样点数（ M ）以及触发次数（ F ）这3个参数，然后开始运行后就会按照设置好的参数进行数据采集。顺序触发模式的工作示意如下图3所示：

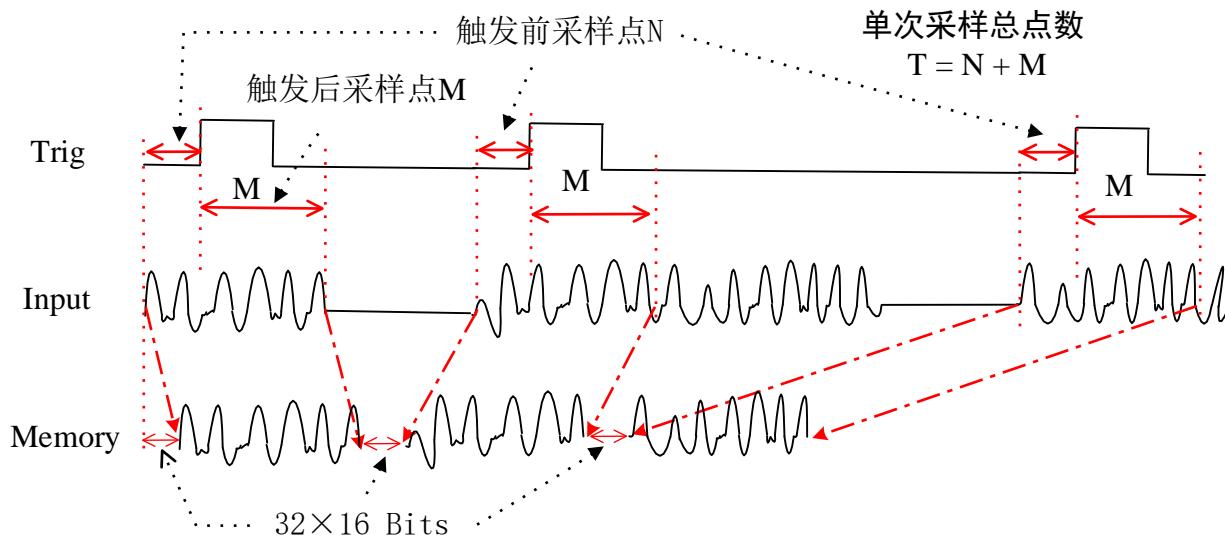


图3 顺序预触发工作模式示意图

2 顺序延迟触发模式（带时间戳）

在该模式下，用户设置好单次触发后的总采样点数（ $M = T$ ）、触发后延迟点数（ D ，可为0）以及触发次数（ F ）这3个参数，然后开始运行后就会按照设置好的参数进行数据采集。顺序延迟触发模式的工作示意如下图4所示：

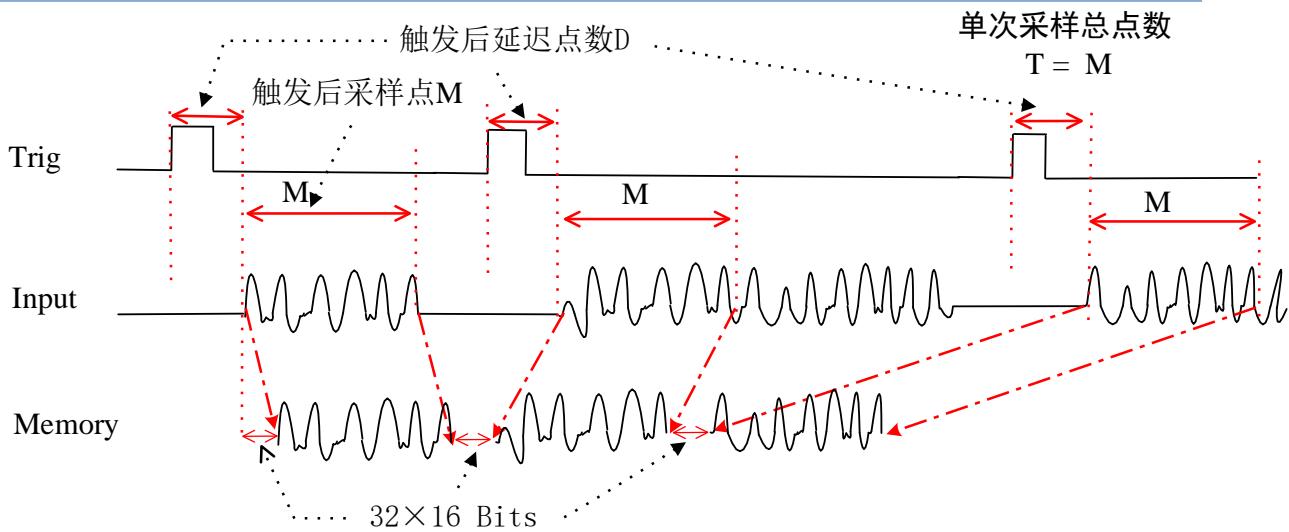


图4 顺序延迟触发工作模式示意图

注意：设置参数时会有一些限制，具体如下：

单通道采集时：

- 当ADC位模式为BIT_16时，触发前ADC采样存储的点数N，加上触发后ADC采样存储的点数M的总数为T，**T需可被32整除**；另外((触发前ADC采样存储的点数N + 触发后ADC采样存储的点数M)×2 + 64)×单次采集触发次数F) 需小于(0x2_0000_0000-64)，即：

$$(N + M) = T$$

$$(T \times 2 + 64) \times F < 8\text{GB} - 64$$

- 当ADC位模式为BIT_8时，触发前ADC采样存储的点数N + 触发后ADC采样存储的点数M的总数为T，**T需可被64整除**；另外((触发前ADC采样存储的点数N + 触发后ADC采样存储的点数M)×4+64)×单次采集触发次数F) 需小于(0x2_0000_0000-64)，即：

$$(T + 64) \times F < 8\text{GB} - 64$$

- 当N为0时，会使用顺序延迟触发模式，此时可减少因数据重组带来的内存消耗。

双通道采集时：

- 4) 当ADC位模式为BIT_16时，触发前ADC采样存储的点数 N +触发后ADC采样存储的点数 M 的总数位 T ，**T需可被16整除**；另外((触发前ADC采样存储的点数 N +触发后ADC采样存储的点数 M) $\times 4+64$) \times 单次采集触发次数 F 需小于(0x2_0000_0000-64)，即：

$$(T \times 4 + 64) \times F < 8\text{GB} - 64$$

- 5) 当ADC位模式为BIT_8时，触发前ADC采样存储的点数 N +触发后ADC采样存储的点数 M 的总数为 T ，**T需可被32整除**；((触发前ADC采样存储的点数 N +触发后ADC采样存储的点数 M) $\times 2+64$) \times 单次采集触发次数 F 需小于(0x2_0000_0000-64)，即：

$$(T \times 2 + 64) \times F < 8\text{GB} - 64$$

- 6) 当 N 为0时，会使用顺序延迟触发模式，此时可减少因数据重组带来的内存消耗。

协议 (DLL)

1. 采购后提供；